

基于 FPGA 的数字化光纤传输方案

韩 晗, 张德华*, 靳晓光, 毛少波
(浙江大学 电气工程学院, 浙江 杭州 310027)

摘要:针对复杂电力电子系统在实时控制和高隔离性能上的要求,提出了一种新颖高效的数字化光纤传输方案,以 A/D 转换器加现场可编程门阵列(FPGA)为简单架构,先将模拟信号数字化,再进行编码等数据处理,使信号能够通过光纤进行隔离传输,最后在光纤接收端将有效数字信号提取出来。该方案解决了复杂环境下系统对多路、多点采样数据实时性、可靠性及远距离传输的问题,其优点是系统稳定,误码率低,抗干扰能力好,实时性强。实验结果证明了该方案的可行性。

关键词:现场可编程门阵列;数字化光纤传输;A/D 转换器

中图分类号:TM4;TP216

文献标识码:A

文章编号:1001-4551(2010)06-0083-05

Digitized fiber-optic transmission scheme based on FPGA

HAN Han, ZHANG De-hua, JIN Xiao-guang, MAO Shao-bo
(College of Electrical Engineering, Zhejiang University, Hangzhou 310027, China)

Abstract: A new and efficient scheme of digitized fiber-optic transmission was proposed to meet the real-time control in complex power electronic systems with high isolation demanding applications. In this scheme, an FPGA unit was used to processing and encoding sampled signals in ADC, and optical fiber was used to send signals to signal processing unit. At the end of fiber, another FPGA receiver unit recovered the original signals. The method is reliable for real-time multi-point sampling data transmission with long-distance under disturbing environments. The system has merits of stable and good real-time performance. Results of experiments verified the feasibility of this scheme.

Key words: field programmable gate array (FPGA); digitized fiber-optic transmission; A/D converter

0 引 言

在全数字控制的电力电子系统中,常常需要对多点、多路信号进行实时采样处理。传统的数据采集系统中通常用单片机来控制 A/D 转换器、存储器和其他外围电路的工作^[1]。单片机由于时钟频率低、依靠软件运行而执行效率低,难以满足高速信号的采集要求。而 FPGA 时钟频率高、内部时延小、速度快、效率高,全部控制逻辑由硬件资源完成,其并行特点更使其适用于高速场合^[2],且和外部 A/D 转换器结合进行高速数据采集,适合用于数字控制系统。另外,光纤传输具有衰减小、频带宽、抗干扰性强、安全性能高、体积小、重量轻等优点,在长距离传输和特殊环境等场合应用十

分普遍^[3]。

本研究提出的数字化光纤传输方案采用 FPGA 作为核心来控制 A/D 转换器和处理数据,并利用光纤进行数据传输,能很好地解决电力电子装置的数字化采样控制问题,还可以扩展应用到其他需要可靠数字控制的领域。

1 总体设计

本研究提出的基于 FPGA 的数字化光纤传输系统主要包括发送和接收两个部分,两者之间通过光纤进行数据传输。系统总体框图如图 1 所示。

其工作原理为:外部输入模拟信号经信号调理模块调节到 A/D 电路输入范围,再经 A/D 转换后送入

收稿日期:2010-01-04

作者简介:韩 晗(1986-),女,湖北武汉人,主要从事电力电子技术方面的研究. E-mail: whhh07@163.com

通信联系人:张德华,女,副教授,硕士生导师. E-mail: eedhzh@zju.edu.cn

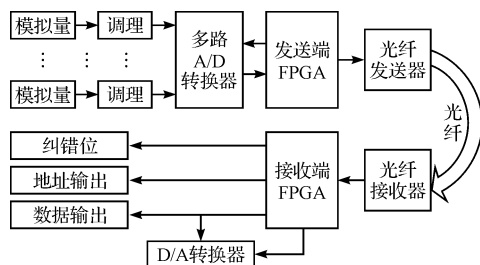


图1 系统总体框图

FPGA 进行处理,处理包括两个方面:①定义一个传输协议,使光纤接收端能准确判断出有效信号的起止位,便于光纤接收端对数据的提取;②对协议进行编码处理,使信号能够通过光纤进行传输。另外,FPGA 还需要控制 A/D 转换器的工作。编码之后的包含有效数据的协议通过单根光纤传输到接收端,接收端的FPGA 再对协议进行处理,将有用的信号提取出来,供给后续电路使用。在接收端,为了方便观察信号是否正确,加一级 D/A 转换后,将提取出的有效数字信号还原成模拟信号,并和初始输入模拟信号进行对比观察。另外,协议中包含奇偶校验位,数据被接收端提取后经校验若出现奇偶错误,则纠错位显示“1”,后续电路不使用此帧数据。

2 硬件电路设计

2.1 发送端硬件电路设计

发送端硬件电路包括电源电路、信号调理电路、A/D 转换电路和 FPGA 电路。

A/D 转换器选用 TI 公司生产的 4 通道 12 位串行 A/D 转换芯片 ADS7950,其时钟频率为 20 MHz,采样速率为 1 MHz,ADS7950 内置多路模拟开关,因此总电路中不需外加多路模拟开关。信号输入 A/D 转换器之前,需要进行信号调理。除了常规的放大滤波处理外,还需将信号与 A/D 转换器输入电压范围进行匹配。以正弦波信号为例,ADS7950 的模拟输入电压范围为 2.7 V ~ 5.25 V,因此需要给输入的正弦波升高一个电压基准,再经过放大滤波等处理,把正弦信号的电压转换为 2.7 V ~ 5.25 V 之间。其中放大功能使用运算放大器 LM358 来实现。

ADS7950 有 SDI、SDO 和 $\overline{\text{CS}}$ 这 3 个端口需要与 FPGA 连接,其中,SDI 为 A/D 转换器的控制信号输入端, $\overline{\text{CS}}$ 为低电平有效的使能端,SDI 和 $\overline{\text{CS}}$ 由 FPGA 提供控制输入;SDO 为模数转换后的数字信号输出端,输出的数据送到 FPGA 中进行处理。

FPGA 是主要控制处理芯片,是电路的核心,本设

计选用 Altera 公司生产的 Cyclone 系列的芯片 EP1C6T144C8,其工作电压为 3.3 V,内核电压为 1.5 V,包含 5 980 个逻辑单元和 20 个 128 × 36 位的 RAM 块(M4K 模块),总的 RAM 空间达到 92 160 位。内嵌 2 个锁相环电路和一个用于连接 SDRAM 的特定双数据率接口,工作频率高达 200 MHz。

FPGA 掉电后程序会丢失,因此使用时必须外挂一个 PROM 来保存编程数据。PROM 大小的选择与程序无关,而由选用的 FPGA 型号决定。本设计选用 EPCS4 专用配置芯片。程序下载用 AS(主动串行)和 JTAG 两种方式。JTAG 下载方式直接将 SOF 文件下载到 FPGA 中,掉电后程序不保存,此方式在程序设计时使用;在设计最终完成后,则使用 AS 下载方式,将程序下载到配置器件 EPCS4 中^[4]。上电时,FPGA 首先从 EPCS4 中读取相应的配置信息。FPGA 与外围电路的连接框图如图 2 所示。

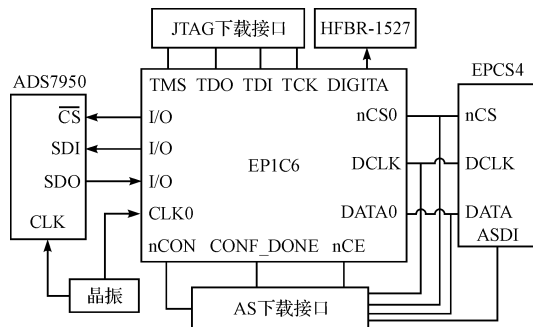


图2 发送端 FPGA 连接框图

电源管理方面,由于 EP1C6 需要 3.3 V 和 1.5 V 电源,ADS7950 需要 5 V 和 3.3 V 电压,运算放大器 LM358 需要 ± 15 V 电压。采用的方法是用稳压电源给电路板提供 5 V 和 ± 15 V 电压,然后通过 TPS75733 芯片由 5 V 转换成 3.3 V,通过 TPS7301 芯片将 3.3 V 转换为 1.5 V。

2.2 光纤收发模块电路设计

光纤收发模块选用通用发送/接收器。光纤收发器实现了电-光和光-电转换,转换过程中不改变编码,不对数据作其他处理,只用于点对点的连接。本系统中发送端和接收端均采用 20 MHz 晶振,而编码过程中数据频率加倍,因此需选用信号传输速率大于 40 Mbps 的连接器,具体选择型号为 HFBR-1527 的光纤发送器和型号为 HFBR-2526 的光纤接收器。两者配套使用于在 1 mm 芯径塑料光纤上传输 1 MB ~ 125 MB 的数据^[5]。

2.3 接收端硬件电路设计

接收端硬件电路包括电源电路、D/A 转换电路和

对发送端程序进行时序仿真,仿真结果如图 7 所示。

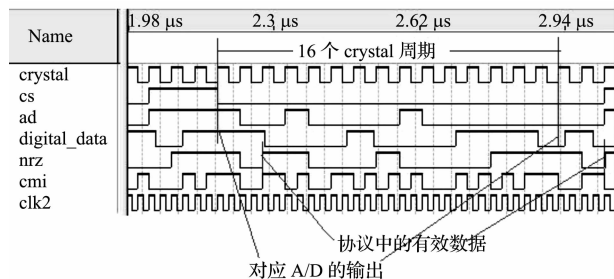


图 7 发送端程序时序仿真图

图中, crystal 为 20 MHz 输入时钟, clk2 为 2 倍频后的时钟。cs 和 ad 分别为对 A/D 转换器的控制 $\overline{\text{CS}}$ 和 $\overline{\text{SDI}}$, 为了方便协议的观察, 图中只显示出了一个 $\overline{\text{CS}}$ 周期时间的波形, digital_data 是 A/D 转换器的输出, 在下降沿到来之后 16 个 crystal 内有效。nrz 为定义的传输协议, cmi 为 nrz 的 cmi 编码输出。由图可见, digital_data 在下降沿到来之后的 16 个周期内的数据作为有效数据被编辑成传输协议。

3.2 接收端 FPGA 程序设计

接收端 FPGA 程序主要包括时钟提取、解码、数据提取以及对 D/A 转换器的控制 4 个部分。其程序框图如图 8 所示。

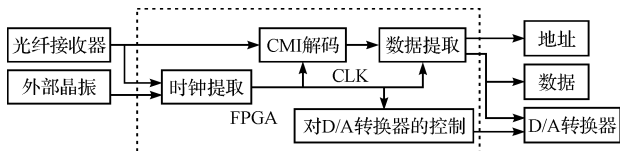


图 8 接收端 FPGA 程序框图

3.2.1 时钟提取

由于发送端和接收端仅由一根光纤连接, 光纤传输的串行数据不仅包含有效信号, 还包含了时钟信号。在数据接收端, 如何判断正确的“0”、“1”组成十分重要, 判断错误会导致整个接收的数据错误。在这里本研究采用时钟提取的方法^[7]: 从接收的数据中恢复数据同步时钟, 再用恢复的同步时钟读取数据。从而保证读取的数据的正确性。

采用的时钟提取方法是: 先检测出数据流中的跳变, 即从“0”到“1”或从“1”到“0”的变化时刻, 在波形上表现为上升沿和下降沿, 这部分称为边沿检测^[8]。然后, 建立一个 N 位计数器, 其位数 N 由取样时钟对数据速率的倍数决定, 设计中的取样时钟由 PLL 对输入晶振进行 16 倍频获得, 则取样时钟是数据速率的 8 倍, 计数器的位数取 3。最后用边沿检测电路的输出作为计数器的复位信号, 计数器的最高位即为异步数

据的同步时钟。

3.2.2 CMI 解码

光纤传输过来的数据是编码之后的协议, 所以首先需将 CMI 码流还原为普通的二进制码, 也就是解码。利用提取出的时钟对 CMI 码流进行解码, 将“00”、“11”还原为“1”, “01”还原为“0”。

3.2.3 数据提取

在本研究中, 将协议数据去掉起始位和终止位, 分离地址、数据, 分别将其送到相应的后续电路端口。将数据再次进行奇偶校验, 得到的新的校验位和接收的校验位进行比较, 比较的结果可作为纠错依据。

3.2.4 对 DAC 的控制

D/A 转换芯片 AD5342 的工作时序图如图 9 所示。

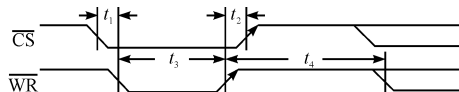


图 9 AD5342 的工作时序图

图中, $\overline{\text{CS}}$ 为片选端, $\overline{\text{WR}}$ 上升沿时数据被载入输入寄存器。只需要满足 $t_1 \geq 0 \text{ ns}$; $t_2 \geq 0 \text{ ns}$; $t_3 \geq 20 \text{ ns}$; $t_4 \geq 50 \text{ ns}$, 芯片就能正常工作。

4 实验数据和波形

在本研究中, 笔者对一路信号进行实验结果观察分析。输入 50 Hz 正弦波, 用示波器观察输出和输入波形, 如图 10 所示。

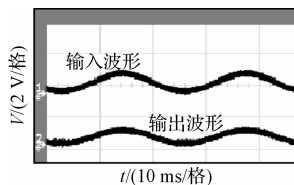


图 10 输入信号和接收端 D/A 输出对比图

分析图 10 可见, 接收端还原出的波形基本不失真。为了进一步观察数据传输过程中的延时, 对比研究发送端发出的协议和接收端接收的协议波形图, 如图 11 所示。由图可见, 延时不到 200 ns。系统基本上实现了模拟信号的实时数字化传输。

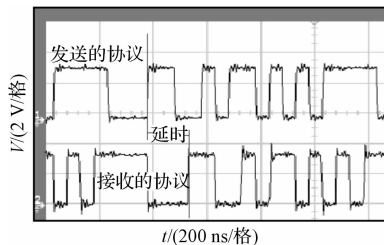


图 11 发送端发出的协议和接收端接收的协议波形图

(下转第 107 页)

将 Wireshark 抓到的音频数据流保存成 raw/au 格式,然后用 CoolEdit 查看波形,如图 7 所示,对于 3.2 节讲到的混音算法,此处 MAX 取 15 000,MIN 取 -15 000,STEP 取 5%。图 7 中的音频信号波形基本平滑,将音轨充分展开来看,没有任何溢出。将这段音频数据转换成 wav 格式在 RealPlayer 中播放,对比收到的声音和各台终端发出的声音,没有听到任何爆破音。可见,3.2 节设计的算法具有很好的混音效果。

图 7 得到的是 3 台终端会话时其中一台收到的音频数据波形图,当音频源增加到 5 路时,混音效果逐渐变差,这是由于本研究设计的 AMP 没有采取 AEC 和 ANS 等信号优化处理措施。当输入源数目增加时,各路音频源的背景噪音未能得到有效抑制,导致有用信号逐渐被叠加起来的背景音淹没。而 5 路输入已经达到了人耳能够同时辨别的有用声音的上限了,因此,本研究设计的多点处理器完全能满足实际需要。

5 结束语

本研究最大的亮点在于用最简单的方式和最低的成本设计了一个性能良好,功能完备的音频多点处理器,搭建了一个用于研究 H. 323 多媒体会议系统的实验平台,这对于在实验室有限的条件下开展

高复杂性,高难度的庞大系统的研究具有很大的借鉴意义。

参考文献(References):

- [1] 杭州华三通信技术有限公司. H3C 视讯会议基础 V2.0 [EB/OL]. [2008-07-01]. <http://forum.h3c.com/showtopic-41940.aspx>.
- [2] SCHULZRINNE H, CASNER S, FREDERICK R, et al. RTP: A Transport Protocol for Real-Time Applications [EB/OL]. [2003-07-01]. <http://www.ietf.org/rfc/rfc3550.txt>.
- [3] 华为技术有限公司. 华为 HUAWEI ViewPoint 8000 视频会议产品介绍 [EB/OL]. [2008-07-16]. <http://bbs.vsharing.com/Article.aspx?aid=704944>.
- [4] 王文林,廖建新,朱晓民,等. 多媒体会议中新型快速实时混音算法[J]. 电子与信息学报,2007,29(3):690-695.
- [5] 刘新华,李方敏,旷海兰,等. 基于数字语音教室的多路混音算法及应用[J]. 微计算机信息,2005,21(10):34-36.
- [6] OpenH323 Study Group. openh323 [CP/DK]. [2007-10-22]. http://sourceforge.net/search/?words=openh323&sort=score&sortdir=desc&offset=0&type_of_search=soft&pmode=0&form_cat=18.
- [7] 卢政. 如何通过 Openh323 开发自己的 H. 323 协议栈 [EB/OL]. [2002-12-18]. <http://www.lsdn.org/82803/>. [编辑:张翔]

(上接第 86 页)

5 结束语

本研究提出的这种基于 FPGA 的数字化光纤传输的方案,利用 FPGA 控制 ADC 和 DAC,并进行数据处理,系统简单稳定,误码率小,抗干扰能力强,实时性好,能很好地解决全数字控制的电力电子装置中电压电流转速温度等信号的数字化传输问题,实验结果验证了此方法原理和实践的可行性。

参考文献(References):

- [1] 陈秀玲,周欣,陈黎平. 基于 USB 接口的数据采集系统的设计与实现[J]. 自动化仪表,2004(9):19-22.
- [2] 孟德刚,何国瑜. 基于 FPGA 的数据采集系统[J]. 电子测量技术,2004(5):74-75.

- [3] SHI Meng-meng, JIANG Hai-he. Optical fiber applying to measuring and controlling systems [J]. **Measurement & Control Technology**,2007,26(9):4-6.
- [4] 张小平,赵不贿. Altera 新型 FPGA 器件的配置方式[J]. 微处理机,2006(4):93-95.
- [5] 单成. 塑料光纤局域网设计[D]. 杭州:浙江大学信息学院,2001:15-18.
- [6] 王廷尧. 光通信设备基础[M]. 天津:天津科技出版社,1992.
- [7] TWYMAN H. Digital clock recovery [Online]. [2005-11-06]. http://www.twyman.org.uk/clock_recovery.
- [8] 苏红,张俊辉. 利用 FPGA 内部 DLL 实现数字时钟恢复[J]. 科学技术与工程,2007,18(7):4720-4722.

[编辑:李辉]