

基于 SOI 工艺的高压 LED 驱动设计

诸剑慧,何乐年*,林 玲

(浙江大学 超大规模集成电路设计研究所,浙江 杭州 310027)

摘要:为了解决 LED 驱动芯片因耐压低而在高压领域应用受限制的问题,将绝缘体上硅(SOI)技术应用到 LED 驱动的设计中,设计了一款基于 SOI 工艺的高压 LED 驱动芯片。首先提出了该驱动的系统框图,并介绍了其工作原理,然后对各重要模块进行了详细的介绍。该 LED 驱动输入电压范围为 40 V ~ 625 V,采用峰值电流模式控制,并提供线性与脉宽调制(PWM)两种调光方式,根据不同应用,外接的 LED 灯可达十几个至上百个不等。采用 XFAB 1 μm SOI 工艺,并使用 Cadence 的 Spectre 系列软件进行了仿真。仿真与测试结果验证了该驱动的良好性能。该设计对基于 SOI 工艺的高压电源管理芯片的设计具有指导意义。

关键词:绝缘体上硅; 高压; LED 驱动; 峰值电流模式; 脉宽调制

中图分类号:TN433

文献标志码:A

文章编号:1001-4551(2011)08-1028-05

High-voltage LED driver based on SOI process

ZHU Jian-hui, HE Le-nian, LIN Ling

(Institute of VLSI Design, Zhejiang University, Hangzhou 310027, China)

Abstract: In order to expand the application of LED driver into high-voltage region, the silicon-on-insulator(SOI) technology was used. Based on this technology, an LED driver was designed. The system diagram of the LED driver was introduced at first and then the important blocks were described in detail. This LED driver works in peak current mode, and has a wide input range from 40 V to 625 V. It provides two dimming functions: linear dimming and pulse width modulation(PWM) dimming, and could be used in tens to a hundred series LED applications. The prototype chip was designed by Cadence Spectre tools and fabricated in XFAB 1 μm SOI Process. The simulation and test results verify this design. This research lays the foundation for the design of the high-voltage power management chips which are based on SOI process.

Key words: silicon-on-insulator(SOI); high-voltage; LED driver; peak-current mode; pulse width modulation(PWM)

0 引 言

当前,绝缘体上硅(SOI)已经成为半导体行业发展的一大亮点。相比于传统的体硅电路,SOI 电路有更快的工作速度,更好的隔离性能,更小的寄生效应以及更强的抗辐射能力^[1]。在高速、高增益和大带宽领域 SOI 的优势尤其明显,例如 IBM 的 PowerPC,任天堂的游戏机芯片,以及 AMD 的全线 CPU 产品都是采用 SOI 工艺^[2]。由于传统体硅器件按比例缩小已接近其极限,在可预见的将来,SOI 必将得到更大的发展,以使集成电路性能得到进一步提升^[3]。

SOI 器件在衬底硅下方嵌入了二氧化硅层,使得在相同性能下,漏电流减小,功耗可以降低 40%^[4]。同时,SOI 工艺能使集成在其上的器件的衬底相互隔离,消除了寄生在电路中的双极管,从根本上消除并避免了闩锁效应。鉴于以上两优点,SOI 也完全可以在电源管理芯片中占据一席之地。此外,由于 SOI 工艺中能做到单个器件之间相互隔离,使得电路中一些耐高压的模块和器件完全独立于系统中的低压模块,因此,SOI 技术为高压电路与芯片的设计开辟了一片崭新的天地。

本研究设计一款基于 XFAB 1 μm 工艺的 LED 驱动,其输入电压要求不低于 40 V,最高可达 625 V。电路采用峰值电流模式控制,峰值电流大小通过一个外

收稿日期:2010-12-14

作者简介:诸剑慧(1985-),男,浙江湖州人,主要从事模拟 IC 电路方面的研究。E-mail:zhujh@vlsi.zju.edu.cn

通信联系人:何乐年,男,教授,博士生导师。E-mail:helenian@vlsi.zju.edu.cn

接电阻检测。

1 LDMOS 介绍

笔者对传统的基于 SOI 工艺的 LDMOS 与本研究所采用的 LDMOS 结构进行比较。并详细介绍所用到的 LDMOS 的工作与耐压原理。

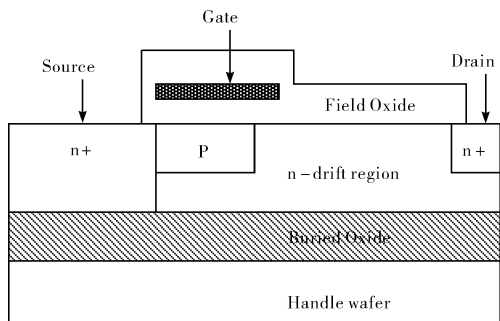


图1 传统的 LDMOS 结构

1.1 传统的 LDMOS

LDMOS 即为横向双扩散晶体管。传统的 SOI LDMOS 多为横向耐压,其结构如图 1 所示^[5]。制作时,在形成源端的窗口相继进行 p 型与 n 型掺杂。由两次掺杂后在横向扩散所形成的结深之差来决定沟道长度^[6]。制作时需进行两次横向扩散。其耐压主要依靠图中标的漂移区进行耐压。当漏端加高电压时,n 漂移区与 p 体结反向偏置,形成横向耗尽区。由于衬底寄生电容的存在,埋氧层的上界面亦会形成耗尽区与反型层。当漏端电压增大到一定程度时,两个耗尽区将会相连,反型层中的空穴将被强电场扫出,而使反型层消失。随着漏端电压持续增加,最终,n 漂移区纵向将会完全耗尽^[7]。此外,为提高耐压,还有很多改进的结构,如 RESURF、加电阻场板、台阶状埋氧化层^[8-9]以及增加埋层^[10]等。

1.2 本研究采用的 LDMOS

设计中所采用的 LDMOS 剖面图如图 2 所示。通过分析图 1 和图 2 可知,与传统的 LDMOS 相比,该 LDMOS 的漏端加高压时,其漂移区将会形成耗尽区来耐压。这是该管的横向耐压路径;同时,栅端下方亦会形成耗尽区,而形成纵向耐压路径。因此,相对于传统 LDMOS 结构该结构能承受更高漏端电压,按照所提供的工艺参数,最大漏源电压可承受 650 V,额定电流为 20 mA。该 LDMOS 为圆形结构,直径为 500 μm,正常工作时,功耗约 0.18 W。

2 LED 驱动结构

本研究设计的 LED 驱动系统如图 3 所示。系统主要由 4 个子模块构成,分别为:①电压与电流基准模块;②预稳压模块;③时钟信号产生模块;④控制逻辑

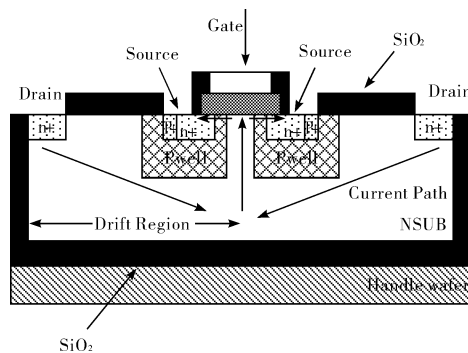


图2 设计中采用的 LDMOS

部分。由于所用 SOI 工艺的特性,承受超高电压的 LDMOS 管能与内部其余模块完全隔离。电路正常工作时,在每个时钟周期开始的时候,脉冲信号产生器会产生一个脉冲信号给 RS 触发器置位,来导通外接 M0 管。此时,负载电流随着导通时间线性增长。该拓扑采用峰值电流模式控制,负载电流随着输入电压快速响应。当 R_{CS} 检测的电流达到预定值时,比较器 CMP1 或 CMP2 输出一个清零信号给 RS 触发器,关断外接 M0 管。在外接 MOS 管开启的一刹那,电阻 R_{CS} 上会产生一个很大的耦合电压,会让比较器错误翻转而关断 M0 管。所以该设计中加入了屏蔽模块(即图中的 Blanking 模块)来防止比较器的误翻转。它的原理是在 M0 管开启后的一段时间内,让 CMP1 和 CMP2 接收不到来自 R_{CS} 的电压信号。在该设计中,屏蔽时间为 200 ns。

负载电流大小可通过线性调光与 PWM 调光两种方式控制。其中,线性调光的工作原理是在 LD 引脚上输入一个电压,来取代内部基准电压。只有当 LD 脚上输入电压小于 250 mV 时,内部基准才会被取代。PWM 调光是通过屏蔽一段时间内的外接功率 MOS 管栅端开启信号,周期性地关断外部电流,来达到调光效果。使用时,要求 PWM 方波频率在 500 Hz ~ 100 kHz 之间。

2.1 线性调光

线性调光的工作原理是用 LD 引脚上输入一个电压,来取代内部基准电压。由图 3 可见,电阻 R_{CS} 上的反馈电压分别通过比较器 CMP1、CMP2 与内部基准电压 V_{ref} (大小为 250 mV) 和外部基准电压 V_{LD} 进行比较。当 V_{LD} 小于 250 mV 时,随着电阻 R_{CS} 上反馈电压的增加,CMP2 先于 CMP1 翻转,因此,内部基准电压 V_{ref} 被外部输入基准电压 V_{LD} 取代。根据应用需要,该 LED 可分别接成 BUCK、BOOST 和 BUCK-BOOST 结构。如图 3 中的接法,以 BUCK 结构为例,当外接 MOS 管开启时,电感两端的压降为 $(V_{in} - V_{out})$ 。电感电流按 $(V_{in} - V_{out})/L$ 的斜率增加。此时,感应电阻与电感及外接 MOS 管串接,用以检测负载电流。当电流

达到预定峰值时,片外的功率管将会被关断。

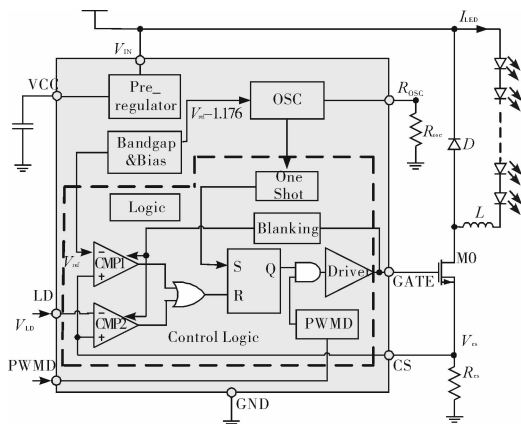


图 3 LED 驱动系统拓扑图

峰值电流的大小可以通过 LD 脚输入的电压来调整,其关系式为:

$$I_{\text{peak}} = \frac{V_{\text{LD}}}{R_{\text{CS}}} \quad (1)$$

2.2 PWM 调光

PWM 调光是一个更好的选择,而且在数字调光产品中有着广泛的应用。PWM 调光是通过屏蔽一段时间内的外接功率 MOS 管栅端开启信号,周期性关断外部电流,来达到调光效果。使用时要求 PWM 方波频率在 500 Hz ~ 100 kHz 之间。在调光时,PWM 方式不改变外部 LED 灯工作的额定电流,这是它相对于线性调光的优势所在。PWMD 脚处输入的 PWM 波形由外部时钟产生,当输入的低电平时间超过 2 ms 时,外接 MOS 管将会被关断。正常使用时,PWM 的周期时间会远大于内部时钟的周期,假定 PWM 方波的占空比为 D ,则峰值电流的等效平均值为:

$$I_{\text{peak}} = D \frac{V_{\text{ref}}}{R_{\text{CS}}} \quad (2)$$

3 核心电路设计

在本研究中,笔者设计的 3 个核心电路分别为:预稳压电路(Pre-regulator)、时钟振荡器(OSC)以及脉冲信号产生电路(One_Shot)。

3.1 预稳压电路

预稳压电路的电路图如图 4 所示,其中 M_1 为前文提到的 LDMOS。在芯片启动时,预稳压电路会先给一个片外电容充电,抬升 V_{CC} 电压。 PRE_V_{DD} 电压随 V_{CC} 增长而线性增长,它主要给电路中的电压和电流基准模块(Bandgap&Bias)供电。当 V_{CC} 电压达到 13.5 V 时,LDO_5 V 模块将被启动,输出 5 V 的电压,给内部的低压模块供电。 PRE_V_{DD} 和 V_{DD} 电压的最终值都在 5 V,但是这两个电压是有区别的。 PRE_V_{DD}

的电压产生较快,主要供给电压与电流基准模块。而 LDO_5 V 模块只有在电压和电流基准产生后才会产生 V_{DD} 电压。但 V_{DD} 更精确,而且驱动能力更强。由于 V_{IN} 的输入电压范围很大,所以预稳压电路加入了运放 A1 来稳定 V_{CC} 电压。

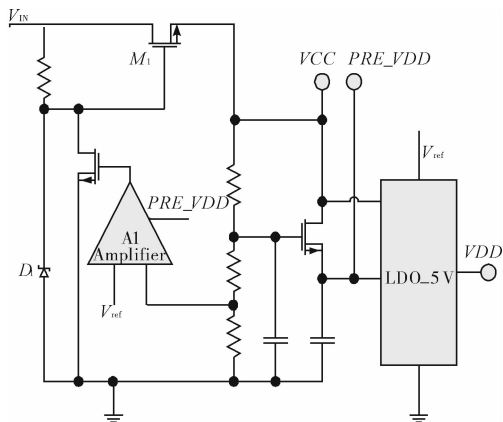


图 4 预稳压电路

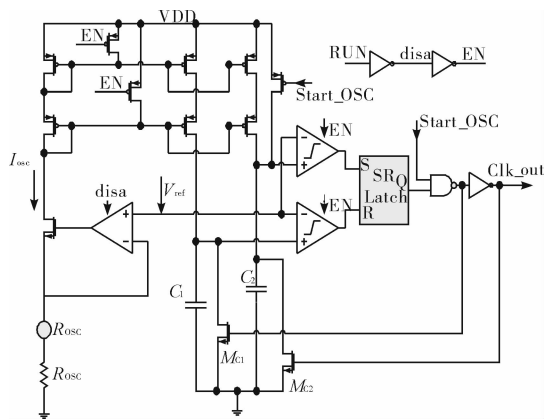


图 5 时钟振荡电路

3.2 时钟振荡电路

时钟信号发生器电路图如图 5 所示。当电路未工作时,Start_OSC 处于低电平,设置时钟信号输出端为低电平。此时, C_1 两端电压被拉到地,而 C_2 被充电。当电路的启动信号 RUN 使能时,Start_OSC 将会转为高电平。该电路还包含一个外接电阻 R_{osc} 。给 C_1 与 C_2 充电的两路电流为流过 R_{osc} 电流的镜像,其值可由 R_{osc} 阻值调控。 C_1 与 C_2 两电容一路充电时,另一路必定拉到地。当充电一路的电压到达 1.176 V(内部基准电压 $V_{\text{ref}1.176} = 1.176 \text{ V}$)时,RS 触发器状态转换。两电容原来充电的一路被拉到地放电,原来放电的一路改为充电。当充电一路电容电压到达 1.176 V 时,状态再次转换。产生的始终震荡周期 F ,可表述为:

$$F = K \times \frac{V_{\text{ref}1.176}}{R_{\text{osc}}} \quad (3)$$

式中的常数 K ,由电流镜的拷贝比例 D 以及 C_1 、 C_2 的容值 C 决定,其关系式为:

$$K = \frac{D}{2CV_{\text{ref}_1.176}} \quad (4)$$

外接电阻 R_{OSC} 的阻值变化范围为 $250 \text{ k}\Omega \sim 1 \text{ M}\Omega$, 能调控时钟振荡频率的范围为 $25 \text{ kHz} \sim 100 \text{ kHz}$ 。

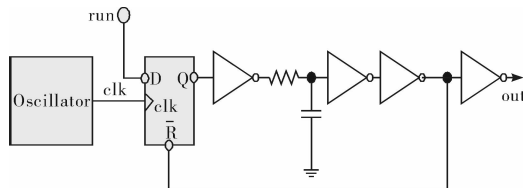


图6 脉冲信号产生电路

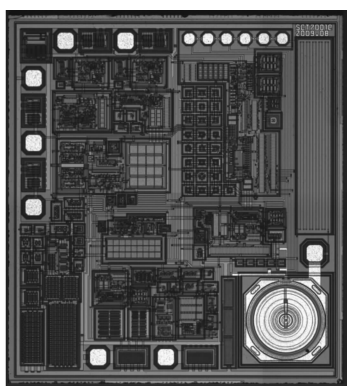


图7 光学显微镜下电路照片

3.3 脉冲信号产生电路

脉冲信号产生电路主体为一数字模块, 电路结构如图6所示。时钟信号产生器所产生时钟信号为占空比50%的方波。如果将时钟信号直接加在图3中的RS触发器上, 则当时钟信号为高电平时, 外接MOS管将无法被关断。因此, 本研究设计了一个脉冲宽度很小的脉冲信号, 该信号只需在每个时钟周期开始时, 能对RS触发器的状态进行转换即可。脉冲信号的脉冲宽度, 主要由图6中的RC网络延时决定。

4 仿真与测试结果

在电路设计完后, 本研究用Cadence的Spectre仿真器对电路进行了仿真。同时, 该设计于2009年8月进行了流片, 芯片在光学显微镜下的照片如图7所示。

4.1 线性调光与PWM调光的仿真

线性调光的仿真波形如图8(a)所示。如图所示, 在输入电压 $0 \text{ mV} \sim 250 \text{ mV}$ 时, LED上的负载电流随LD脚输入电压 V_{LD} 的变化而线性变化。当电压大于 250 mV 时, 负载电流保持不变。PWM调光的仿真如图8(b)所示。仿真时, 设置外接方波周期为 4 ms , 其中高电平为 1.5 ms 。由图可见, 当PWM波形为低电平时, 外接MOS管开启信号被屏蔽, 负载电流被断流。仿真结果显示, 两种调光方式均能很好地进行调光。

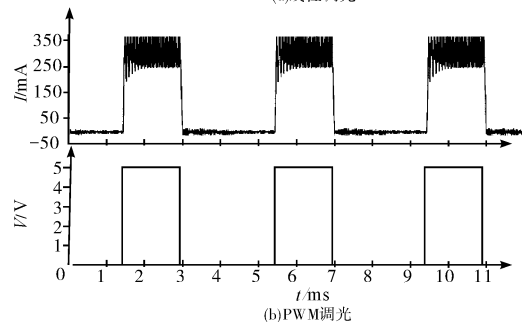
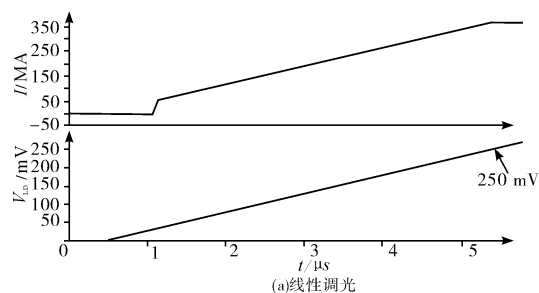


图8 线性与 PWM 调光的仿真结果

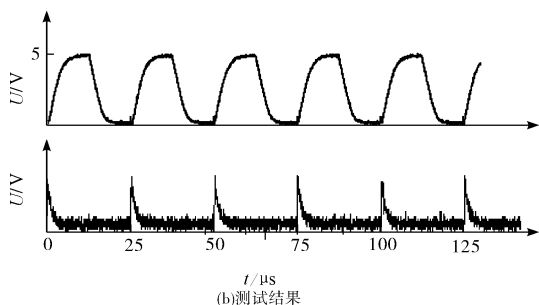
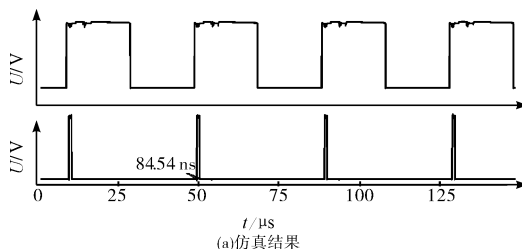


图9 时钟信号与脉冲信号的仿真与测试结果

4.2 时钟信号产生电路与脉冲信号产生电路的仿真与测试

时钟信号与脉冲信号的仿真波形如图9(a)所示。仿真时, 设置输入电压 $V_{\text{IN}} = 300 \text{ V}$, $R_{\text{OSC}} = 100 \text{ k}\Omega$ 。依仿真结果所示, 脉冲信号完全跟随时钟信号^[11], 其脉冲宽度为 84.54 ns 。时钟信号与脉冲信号的测试结果如图9(b)所示。测试时 $V_{\text{IN}} = 100 \text{ V}$, $R_{\text{OSC}} = 400 \text{ k}\Omega$ 。测得的周期为 $25 \text{ }\mu\text{s}$, 与式(3)计算所得理论值一致。由于测试探针寄生电容的影响, 时钟信号与脉冲信号的测试波形在上升和下降时有延时, 而让波形发生变形。同时, 测试时会有随机噪声产生, 而这些在仿真时都不会体现出来。

4.3 性能参数总结

在对设计进行系统仿真验证的基础上,笔者又进一步对参数进行总结,具体仿真数据如表 1 所示。

表 1 电路的设计参数与指标

参数	说明	仿真值	单位	条件
V_N	输入电压范围	40 ~ 625	V	直流输入电压
I_{INsd}	芯片静态电流	377	μA	$V_{IN} = 625 V$
VCC	在预稳压电路中产生,用以驱动外部 MOS 管	15	V	
V_{CS}	RCS 上的反馈电压	250	mV	
OT	过温保护阈值与迟滞	136	$^{\circ}C$	温度保护阈值
		103	$^{\circ}C$	温度保护迟滞
f_{osc}	时钟频率	25.6	ns	$R_{IOSC} = 1 M\Omega$
		247	ns	$R_{IOSC} = 100 k\Omega$

5 结束语

由于 SOI 工艺中,内部器件能相互隔离,在进行高压电路设计时能完全把高压部分与低压部分衬底完全隔离。本研究在设计中采用了最高耐压可达 650 V 的超高耐压 LDMOS 管,预定的输入电压范围为 40 V ~ 625 V。电路采用峰值电流模式控制,并提供线性与 PWM 两种调光方式。仿真与测试结果表明,所设计的 LED 驱动具有良好的性能。目前市场上鲜有基于 SOI 工艺的 LED 驱动芯片,该设计开创了这一领域的先河。该 LED 驱动在大的输入电压范围以及大的负载电流变化范围内均能正常工作。

参考文献 (References):

- [1] 薛龙来,郭宇锋,周井泉,等. 具有倾斜表面漂移区的 SOI LDMOS 的工艺设计[J]. 微电子学, 2010, 40(2):

300-304.

- [2] CHEN Xin. Development strategies with SOI technology [J]. **Chinese Journal of Electron Devices**, 2010, 33(2): 193-196.
- [3] DEJULE R. SOI 技术成为主流[J]. 集成电路应用, 2009(6): 27-30.
- [4] CAI Jin, REN Zhi-bin, MAJUMDAR A, et al. Will SOI have a Life for the Low-power Market [C]// 2008 IEEE International SOI Conference Proceedings. New Paltz, NY: [s. n.], 2008: 15-16.
- [5] LUO Xiao-rong, ZHANG Wei, GU Jing-jing, et al. A new double gate SOI LDMOS with a step doping profile in the drift region[J]. **Journal of Semiconductors**, 2009, 30(8): 1-4.
- [6] 李家贵,李德昌. SOI LDMOS 晶体管的自加热效应[J]. 电子科技, 2009, 22(4): 72-74.
- [7] 程新红,杨文伟,宋朝瑞,等. SOI LDMOS 功率器件的研究与制备[J]. 微处理机, 2007, 28(2): 11-13.
- [8] 吴秀龙,陈军宁,孟 坚,等. SOI LDMOS 晶体管耐压结构的研究[J]. 半导体技术, 2005, 30(3): 27-31.
- [9] 段宝兴,张 波,李肇基. 高压 SOI LDMOS 设计新技术—电场调制及电荷对局域场的屏蔽效应在高压 SOI LDMOS 设计中的应用[J]. 微电子学, 2007, 37(4): 459-465.
- [10] LUO Xiao-rong, LEI Tian-fei, WANG Yuan-gang, et al. A Novel high Voltage SOI LDMOS with buried N-layer in a Self-isolation high Voltage integrated Circuit [C]//Proceedings of The 22nd International Symposium on Power Semiconductor Devices & ICs. Hiroshima: [s. n.], 2010: 265-268.
- [11] 张 恒,刘高进,郭生霞. 电火花脉冲电源检测识别系统的设计与仿真[J]. 轻工机械, 2009, 27(6): 52-54.

[编辑:张 翔]

(上接第 1027 页)

- [2] 姚小寅,孙元章,王志芳. 电力系统无功源最佳配置地点的研究[J]. 电力系统自动化, 1999, 23(3): 12-15.
- [3] 刘君华,方鸽飞,吕岩岩. 基于灵敏度法确定无功补偿地点[J]. 电力系统及其自动化学报, 2006, 18(4): 58-61.
- [4] 胡彩娥,杨仁刚. 用电力系统分区方法确定无功源最佳配置地点[J]. 电力系统及其自动化学报. 2004, 16(3): 46-49.
- [5] 刘传铨,张 焰. 电力系统无功补偿点及其补偿容量的确定[J]. 电网技术, 2007, 31(12): 78-81.
- [6] 方鸽飞,李 玮. 电力系统电压稳定临界状态的电压控制分区[C]// Power and Energy Engineering Conference. Wuhan: [s. n.], 2010: 453-457.
- [7] LAGONOTTE P. Probabilistic Approach of Voltage Control based on Structural Aspect of Power Systems[C]//Third International Conference on Probabilistic Methods Applied to Electric

Power Systems 1991. London: [s. n.], 1991: 208-213.

- [8] 杨秀媛,董 征,唐 宝. 基于模糊聚类分析的无功电压控制分区[J]. 中国电机工程学报, 2006, 26(22): 6-10.
- [9] 周双喜,姜 勇,朱凌志. 电力系统电压稳定性指标述评[J]. 电网技术, 2001, 25(1): 1-7.
- [10] 郭庆来,孙宏斌,张伯明. 基于无功源控制空间聚类分析的无功电压分区[J]. 电力系统自动化, 2005, 29(10): 36-40.
- [11] 熊虎岗,程浩忠,孔 涛. 基于免疫—中心点聚类算法的无功电压控制分区[J]. 电力系统自动化, 2007, 31(2): 22-26.
- [12] 卢志强,卢 勇,李盛林. 电力系统无功补偿点的确定及其补偿方法[J]. 电力电容器, 2002, 2(2): 8-11.

[编辑:张 翔]