

基于 FPGA 的数据速率及格式变换的设计与实现

王 玲, 王辰平, 李道虎 *
(河南新乡 760 厂, 河南 新乡 453009)

摘要: 为了解决数字通信中连续数据到定长帧的转换问题, 设计了一个具有数据速率和结构变换功能的现场可编程门阵列(FPGA)接口变换模块, 该模块包含 3 个核心部分: 缓存单元、速率变换和帧控制逻辑, 缓存单元选用了方便实用的异步 FIFO 来实现, 速率变换部分采用了 5/6 小数分频方式大大节省了 FPGA 内部资源, 帧控制逻辑单元严格定义了读 FIFO 的使能格式和时序, 最后进行了软件的功能和时序仿真。实际应用结果表明, 该模块能够准确地对数据速率和格式进行变换, 实现了预期的功能。

关键词: 数字通信; 速率变换; FIFO; 帧控制逻辑; 现场可编程门阵列

中图分类号: TN927; TM133

文献标志码: A

文章编号: 1001-4551(2012)03-0347-03

Design and implementation of data rate and format conversion based on FPGA

WANG Ling, WANG Chen-ping, LI Dao-hu
(Xinxiang No. 760 Factory, Xinxiang 453009, China)

Abstract: In order to solve the problem of the conversion from continuous data to fixed-length frame in the digital communication, the interface conversion module based on field-programmable gate array(FPGA) with the function of data rate and structure transformation was designed, including three important parts: cache unit, rate conversion and frame control logic. The convenient asynchronous FIFO was selected to achieve the function of cache unit. The five-sixths fractional frequency was used for the rate conversion unit to save the FPGA resource. The read enable format and time sequence of FIFO were defined by the frame control logic unit strictly. The time sequence and the function of the software were simulated finally. The practical application shows that the module can finish the conversion of data rate and structure transformation accurately, and achieve the expected function.

Key words: digital communication; rate conversion; FIFO; frame control logic; field-programmable gate array(FPGA)

0 引 言

随着数字通信技术的飞速发展, 越来越多的功能需要由基于 FPGA 的数字电路来实现, 例如早期的模拟调制解调和模拟变频器已经被数字调制解调和数字变频器取代。数字电路有一定的标准和格式, 尤其是终端和编码调制之间的接口一定要严格遵循系统时序要求。

本研究提出一种特殊的帧结构和数据速率变换的情况, 终端发出的信息是连续的, 而编码调制需要的是有帧间隔并且间隔是固定的、速率也会同时变换

的格式, 此时就需要在 FPGA^[1]里设计一个数据速率和结构变换的变换模块。

1 设 计

变换模块实现的具体功能是: 输入 2 kbps 的连续同步数据流, 输出 2.4 kbps 的帧长为 1 072 bits(开始的 112 bits 设置为填充随机码, 其余是输入数据)等间隔的同步数据流。

这个接口模块的设计如图 1 所示。

变换模块设计主要包括 3 个部分: 缓存单元、速率变换和帧控制逻辑, 下面详细介绍这 3 个单元模块。

收稿日期: 2011-09-27

作者简介: 王 玲(1977-), 女, 河南新乡人, 主要从事信号与信息处理方面的研究。E-mail: wangling1977@126.com

通信联系人: 李道虎, 男, 高级工程师。E-mail: ldhxxs@163.com

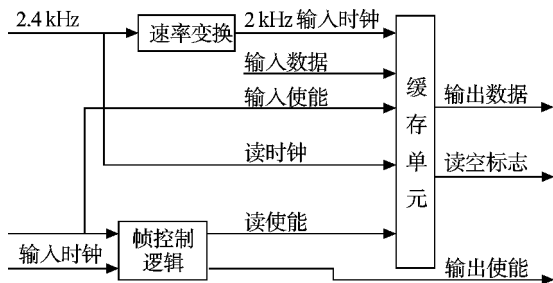


图 1 接口模块设计图

1.1 缓存单元

缓存单元的功能就是将数据以一种速率写入,再用另外一种速率读出的暂存 RAM 单元,有两种方法可以实现:第 1 种方法是双口 RAM,一个口是 READ PORT,另一个是 WRITE PORT,两个口的时钟各自独立,有各自的外部读写地址线,数据可以根据地址随意地写入或读出,操作比较灵活;第 2 种方法是异步 FIFO^[2-3],异步 FIFO 指的是在两个相互独立的时钟域下,数据从一个时钟域写入 FIFO,而另一个时钟域又从这个 FIFO 中将数据读出,由于异步 FIFO 在两个不同时钟系统之间能够快速而方便地传输实时数据,而且操作方便^[4],不需要地址的特别设置,与双口 RAM 的区别是没有外部读写地址线,这样使用起来比较简单,但缺点就是只能顺序写入数据,顺序地读出数据,其数据地址由内部读写指针自动加 1 完成,不能像双口 RAM 那样可以由地址线决定读取或写入某个指定的地址。在本研究中数据是顺序读写,不存在地址跳跃的情况,所以用异步 FIFO 来实现更为简单有序。

本研究设计的异步 FIFO^[5]有 3 个同步输入口,它们分别是输入数据 data[0]、输入使能 wrreq(高有效)、输入时钟 wrclk(上升沿有效);rdreq 是读使能(高有效),rdclk 是读时钟(上升沿数据采样),q[0]是读出的数据,rdempty 是读空标志位,FIFO 里没有数据时为高,有数据时变低;aclr 是设置的一个高电平复位的引脚,如果需要,还可以设置写空标志、写满标志和半满标志等标志位。

1.2 速率变换

输入时钟与异步 FIFO 的读时钟是不同的^[6],为了节省资源,该系统只提供一个频率为 2.4 kHz 的时钟,输入的频率为 2 kHz 的时钟只能从 2.4 kHz 的时钟分频,这两个时钟不成倍数关系,所以要采用 5/6 小数分频,由于倍频需要占用更多的资源^[7],在不影响信息源传送的情况下,可以选择一种简单可靠又实用的方法:从 6 个时钟周期抠掉一个时钟周期。具体实现如图 2 所示。

4count 是一个 4 位计数器,详细引脚接线图如图 2 所示,初始加载值为零,从零开始计数,4count 输出

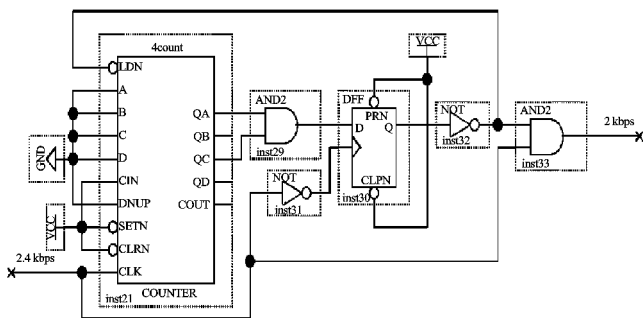


图 2 速率变换原理图

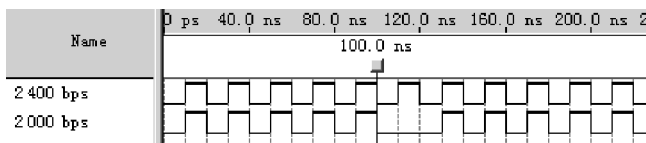


图 3 速率变换的仿真波形图

0~4 的时候,D 触发器输出的反向与 2.4 kbps 相与后 2.4 kbps 波形保持不变,当计数到 5 的时候,D 触发器输出的反向与 2.4 kbps 相与后为低电平,之后 4count 计数器复位,又开始新一轮的计数,结果是 2.4 kbps 时钟的第 6 个周期就被屏蔽掉了。仿真波形如图 3 所示^[8]。

1.3 帧控制逻辑

帧控制逻辑控制的主要是异步 FIFO 的读使能和模块输出的同步串口的输出使能,根据输入使能和输入时钟控制其帧长和帧间隔,使得输出的同步数据符合系统的要求:输出帧长是 1 072(开始的 112 bits 设置为填充随机码),帧间隔需要计算求出,为了不掉字,此时,输入速率为 2 kbps 的 960 bits 数据所用的时间与输出的速率为 2.4 kbps 的一个帧长和帧间隔的时间是相等的,一个帧长是 1 072 bits,则帧间隔是 80 bits 传输所占用的时间为 33.3 ms。

在帧控制逻辑里,因为读时钟速率高于输入时钟,要想不读空,读使能要延后输入使能一定的时间,需要设计一个计数寄存器 cnt_tempt1[0..6]和一个延时控制线 valid_in_delay,当输入使能有效后 FIFO 的 rdempty 变低,此时 cnt_tempt1[0..6]开始计数,当 cnt_tempt1[0..6]=100 时 valid_in_delay=1,其程序^[9-10]如下所示:

```

if(read_empty='1')then
    valid_in_delay <= '0';
elseif(clk'event and clk='1')then
    if(cnt_tempt1=100)then
        valid_in_delay <= '1';
    else
        valid_in_delay<=valid_in_delay;
    end if;
end if;

```

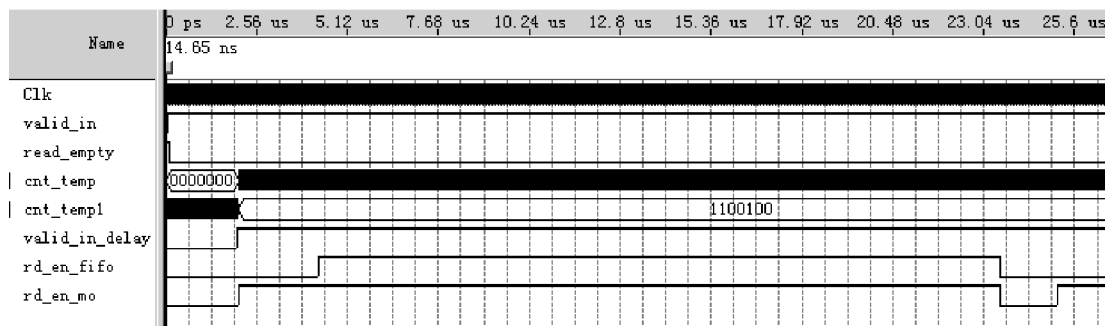


图4 帧控制逻辑仿真波形图

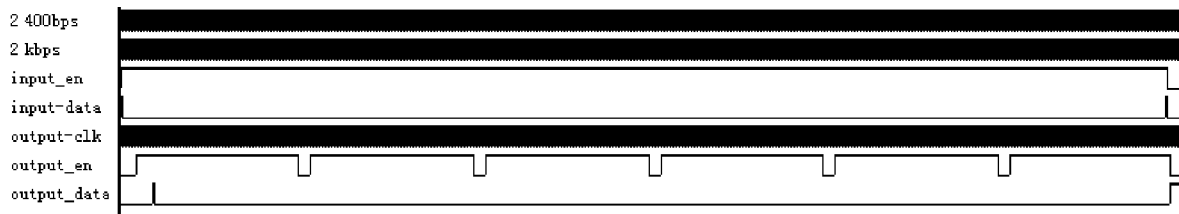


图5 变换模块的逻辑仿真图

当 $\text{valid_in_delay}=1$ 时,在时钟的上升沿输出使能 rd_en_mo 开始为高电平,但 FIFO 的读使能 rd_en_fifo 必须再延时 112 个读时钟周期才变高电平,需要再设置一个计数寄存器 $\text{cnt_tempt}[0..10]$,当 $\text{valid_in_delay}=1$, cnt_tempt 开始从 0~1 151 计数,在 1~1 072 范围内 rd_en_mo 有效,而 rd_en_fifo 在 113~1 072 范围内有效,具体程序如下:

```

if(valid_in_delay='0')then
    rd_en_fifo <= '0';
    rd_en_mo <= '0';
elsif(clk'event and clk='0')then
    if(cnt_temp>0 and cnt_temp <1073)then
        rd_en_mo <= '1';
    else
        rd_en_mo <= '0';
    end if;
    if(cnt_temp>112 and cnt_temp <1073)then
        rd_en_fifo <= '1';
    else
        rd_en_fifo <= '0';
    end if;
end if;

```

帧控制逻辑仿真波形图如图 4 所示。

2 仿真结果

该模块在 Altera 公司的 EP1C12F240 中设计和实现,输入引脚 input_data 、 input_en 分别是输入数据和使能,输出引脚 output_data 、 output_en 和 output_clk 分别是输出数据、输出使能和输出时钟。由于 FIFO 读出的数据要比读使能晚一些,为了使输出数据与输出

使能对齐,输出使能延时了一个时钟周期;为了满足该模块后级的时序要求,输出使能和数据用输出时钟的下降沿触发一下,使输出使能和数据与输出时钟的上升沿对齐。实际应用时,本研究用 Quartus8.1 自带的 signal tapII logic analyzer 来进行逻辑仿真,仿真结果如图 5 所示。

3 结束语

通过对数据速率和结构变换的变换模块仿真实验,本研究证实了 FPGA 接口变换模块设计的正确性和可靠性,最终实现了连续数据到定长帧的转换,为后级的编码和调制提供了可靠的接口时序,并在某数字通信产品中得到了实际应用。同时 FPGA 器件使用灵活,容量大,为以后信息速率的提升和程序升级留了很大的余地,因此本研究对以后高速率接口格式变换的设计具有一定的参考作用。

参考文献(References):

- [1] 田耘,徐文波,张延伟,等. 无线通信 FPGA 设计[M]. 北京:电子工业出版社,2008.
- [2] 于海,樊晓娅. 基于 FPGA 异步 FIFO 的设计与实现[J]. 微电子学与计算机,2007,24(3):210-216.
- [3] CUMMINGS C E. Simulation and synthesis techniques for asynchronous FIFO design with asynchronous pointer comparisons [N]//SUNG2002 User Papers, SanJose:[s.n.], 2002:TB2-3.
- [4] KAUOPOULOS N, HALLENBECK J J. A FIFO memory for signal processing application [J]. IEEE Transaction on Circuits and Systems, 1986,33(5):556-558.

(下转第 364 页)

实验结果如图13所示。由于样车在设计时采取的抑制共模电流的措施较少,在高频段向外辐射的磁场很大,且超出限制部分,达不到国际标准要求。本研究抑制措施主要有:①对动力系统的设备和动力电缆采取了屏蔽;②加强了电池组对车身的绝缘;③对IGBT采取了减小共模电流的防护措施。

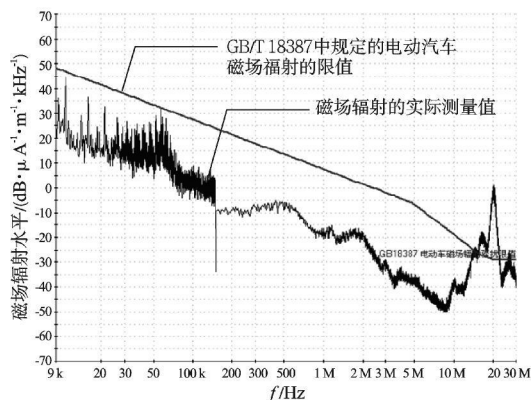


图 13 原车的磁场辐射发射

本研究采取以上措施后对样车按照最新的国际标准GB/T 18387-2008重新做磁场发射试验,其结果如图14所示。

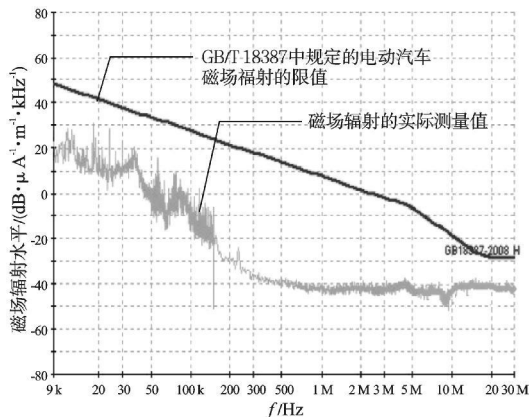


图14 采用抑制措施后的磁场辐射发射

5 结束语

试验结果表明:在整个频段内整车的磁场辐射发射得到有效抑制,其试验结果满足国家标准要求,这

说明通过抑制动力系统的传导共模电流可以抑制整车的磁场辐射发射;同时,良好的屏蔽设计也能抑制动力线的磁场辐射。

研究结果表明,通过以上方法可以使整车的电磁兼容性得到很大提高。

参考文献(References):

- [1] 陈全世,朱家琰,田光宇. 先进电动汽车技术[M]. 北京:化学工业出版社,2007.
- [2] 陈清泉,孙逢春,祝嘉光. 现代电动汽车技术[M]. 北京:北京理工大学出版社,2002.
- [3] 朱学军,张逸成. 电动汽车动力电力电子装置的电磁兼容性研究现状[J]. 安全与电磁兼容,2009(2):81-85.
- [4] [美]凯瑟. 电磁兼容原理[M]. 北京:电子工业出版社,1985.
- [5] 林国荣,张友德. 电磁干扰及控制[M]. 北京:电子工业出版社,2003.
- [6] 马伟明,张磊,孟进. 独立电力系统及其电力电子装置的电磁兼容[M]. 北京:科学出版社,2007.
- [7] 张戟,孙泽昌. 现代汽车电磁兼容理论与设计基础[M]. 北京:清华大学出版社,2009.
- [8] 王伟,周雅夫,王健. 电动汽车电磁兼容性研究[J]. 汽车工程,2008,30(5):399-402.
- [9] HELDWEIN M L, BIELA J, ERTL H, et al. Novel three-phase CM/DM conducted emission separator [J]. **IEEE Transactions on Industrial Electronics**, 2009, 56 (9): 3693-3703.
- [10] 肖芳,孙力,孙亚秀. PWM 电机驱动系统中共模电压和轴电压的抑制 [C]// 2008 全国博士生学术论坛电气工程论文集,成都:西南交通大学出版社,2008:1802-1809.
- [11] 韩利,温旭辉,曾莉莉. 混合动力电动汽车用电机及驱动控制器的电磁兼容设计[J]. 安全与电磁兼容,2006(1):81-86.
- [12] 曲学基,曲敬锐,于明扬. 逆变技术基础与应用[M]. 北京:电子工业出版社,2007.
- [13] 段瑞昌,徐国卿,吴志红. 车用电机驱动器的电磁兼容性设计[J]. 电工技术,2003(10):40-42.
- [14] 韩利,赵峰. 交流电机驱动控制器的电磁兼容设计[J]. 机电设备,2007(2):16-18.

[编辑:罗向阳]

(上接第 349 页)

- [5] NEBHRAJANI V A. Asynchronous FIFO Architectures[EB/OL]. [2007-11-14]. <http://www.geocities.com/deepakgeorge2000/vlsi-book/async-fifo.pdf>
- [6] 段吉海,黄智伟. 基于CPLD/FPGA的数字通信系统建模与设计[M]. 北京:电子工业出版社,2004.
- [7] 吴继华,王诚. Altera FPGA/CPLD设计[M]. 北京:人民邮电出版社,2005.

- [8] Altera Corporation. Cyclone Device Handbook[M]. Altera Corporation,2003.
- [9] 卢毅. VHDL与数字电路设计[M]. 北京:科学出版社,2001.
- [10] 张昌凡,龙永红,彭涛. 可编程逻辑器件及VHDL设计技术[M]. 广州:华南理工大学出版社,2011.

[编辑:李辉]