

DOI:10.3969/j.issn.1001-4551.2020.10.020

# 基于 FPGA 和 CCD 的高温计硬件系统设计\*

王 乐,董 哲,张 磊

(合肥工业大学 仪器科学与光电工程学院,安徽 合肥 230009)

**摘要:**针对高温物体温度难以实时在线测量的问题,研究了电荷耦合元件的驱动、图像数据采集、温度转换方法和数据重组发送;采用了以现场可编程门阵列作为控制核心,通过串行外设接口对电荷耦合元件驱动进行配置,标定完直接查表的方法,设计了一种基于现场可编程门阵列和电荷耦合元件的嵌入式温度测量硬件系统,可对物体的二维温度场实时在线测量;使用了千兆以太网,将重组后的温度和图像数据发送至上位机,利用实验过程抓取到的中间信号,对系统的处理速度进行了测试。研究结果表明:数据在系统的内部时延仅为 14 ms,在所使用电荷耦合元件最高分辨率情况下,系统处理、传输速度可以达到所用电荷耦合元件的最高图像速度 60 fps,为上位机以高分辨率实时反馈温度信息提供了基础。

**关键词:**光学测量;温度测量;现场可编程门阵列;电荷耦合元件;实时性

中图分类号:TH811;TP216

文献标识码:A

文章编号:1001-4551(2020)10-1240-04

## Hardware system design of pyrometer based on FPGA and CCD

WANG Le, DONG Zhe, ZHANG Lei

(School of Instrument Science and Opto-electronics Engineering,  
Hefei University of Technology, Hefei 230009, China)

**Abstract:** Aiming at the problem that the temperature of high-temperature objects are difficult to measure on-line in real time, the driving of CCD (charge-coupled device), image data acquisition, temperature conversion methods and data recombination were researched. A FPGA (field programmable gate array) was used as the control core, and the CCD driver was configured through the SPI (serial peripheral interface). After calibration, a direct look-up table was used to obtain temperature information. An embedded temperature measurement hardware system based on FPGA and CCD was proposed, which can measure the two-dimensional temperature field of the object in real time. Gigabit Ethernet was used to send the recombined temperature and image data to the upper computer. The intermediate signals during the experimental process were captured to test the processing speed of the system. The results indicate that the data delay in the system is only 14 ms, the system processing and transmission speed can reach to the CCD highest frame rate of 60 fps under the CCD highest resolution. It provides a prerequisite for the host computer to feedback temperature in real time with high resolution.

**Key words:** optical measurement; temperature measurement; field programmable gate array (FPGA); charge-coupled device (CCD); real-time

## 0 引 言

在冶金、航空航天、材料等生产、制造过程中,温度是一个很重要的参数,影响产品的质量、生产的效率<sup>[1-5]</sup>。传统的温度测量方法<sup>[6]</sup>有热电阻、热电偶等,热电偶、热电阻是接触式测温,只能测量接触位置的温度,

并且接触式测量中,被测温度场会受到测试仪的测头影响,且难以测量运动中的物体。吴加伦等人<sup>[7]</sup>研究的新型十字测温传感器可以有效测量炉顶温度,但是热电偶寿命短、难以更换。刘小群等<sup>[8]</sup>基于单片机,研究了多路热电偶测温,当测温路数较多时,使用单片机时实时性较差。目前常采用的红外热成像技术中的红外单点

收稿日期:2020-01-15

基金项目:国家自然科学基金资助项目(51505120);中央高校基础科研基金资助项目(JZ2019HGTB0082)

作者简介:王乐(1993-),男,安徽淮南人,硕士研究生,主要从事辐射测温理论、测量控制、电子电路方面的研究。E-mail:2017110027@mail.

hfut.edu.cn

测温仪可以非接触测量<sup>[9]</sup>,只能测量单点温度,且在一些高温的工业现场,人无法持设备现场测量,局限性较大。

基于面阵 CCD 传感器的图像测温方法近年来得到重视<sup>[10]</sup>。该方法可得到整个温度场的温度信息,灵敏度高、响应快、抗干扰强。白海城等人<sup>[11]</sup>基于 DSP 开发了一种面阵 CCD 高温计,可对连铸坯表面温度场进行在线测量。CCD 相机和采集处理系统则是整个设计的关键部分,设计出高分辨率、高帧率、高灵敏度、高信噪比的相机和高速采集、处理系统,对于发挥整个测温系统的性能至关重要。

笔者结合 FPGA 的优势,研究 CCD 测温系统,进行基于 FPGA 和 CCD 测温系统的硬件设计。

### 1 CCD 测温系统结构

#### 1.1 测温原理

普朗克黑体辐射定律给出了黑体的光谱辐射力与波长和温度的关系。目前,在高温测量应用中,温度大多低于 3 000 ℃,笔者主要讨论 8 00 ℃ ~ 1 200 ℃ 的场合,在这个范围内,普朗克公式可以近似为维恩公式,即在波长一定时,光谱辐射力是温度的函数,因此,只

要测得目标的光谱辐射力,就可得到目标的温度。

笔者据此建立了单光谱 CCD 测温系统,其结构简图如图 1 所示。

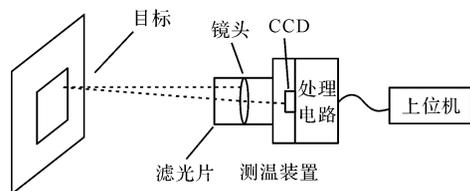


图 1 CCD 测温系统结构简图

图 1 中,被测目标向外辐射能量,以 CCD 作为探测器捕获辐射能,在 CCD 镜头前加一片近红外窄带滤光片,其中心波长等效为有效波长;依据维恩位移定律和所测温度范围,选取 780 nm,带宽 10 nm。

在系统的曝光时间、增益等其他参数确定,且空气、水雾等带来的影响得到补偿后<sup>[12]</sup>,可以得到 CCD 测得的灰度值与光谱辐射力的函数关系;通过黑体炉标定后,将映射值存储到处理电路中,由 CCD 测得的灰度值经由处理电路,就可以得到目标的温度值。

#### 1.2 系统硬件结构介绍

CCD 测温系统硬件结构如图 2 所示。

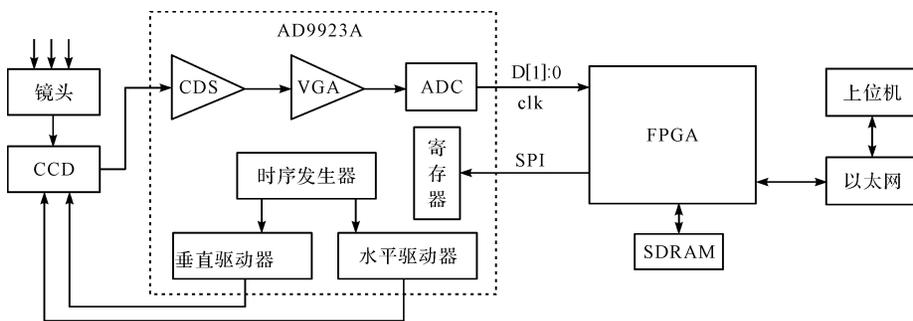


图 2 CCD 测温系统硬件结构系统

经黑体炉标定后,可获得被测目标温度场信息,抗干扰能力强、传输距离远、实时性好,可应用在 800 ℃ ~ 1 200 ℃ 的高温场合。

图 2 中,系统主要由 CCD 模块、驱动模块、数据采集处理模块和传输模块 4 部分组成。

(1) CCD 模块使用索尼的 ICX424AL 传感器,镜头前安装有近红外窄带滤光片;

(2) 驱动模块使用 AD9923A 芯片,由 FPGA 通过 SPI 总线配置寄存器,输出 CCD 所需要的水平、垂直、门限和其他驱动信号,CCD 在电源和驱动信号的作用下将采集到的图像信号发送至 AD9923A,经过 CDS、VGA 和 ADC 变换后,将 12 bit 的灰度值发送至 FPGA 处理;

(3) 数据采集处理模块中,FPGA 使用 Intel 的飓风系列;

(4) 传输模块使用千兆以太网,使用 RTL8211EG

物理层芯片,由 FPGA 控制通过 UDP 协议发送。以太网在满足传输速率的前提下,抗干扰能力较强,可以进行远距离传输。

### 2 FPGA 结构设计

FPGA 结构框图如图 3 所示。

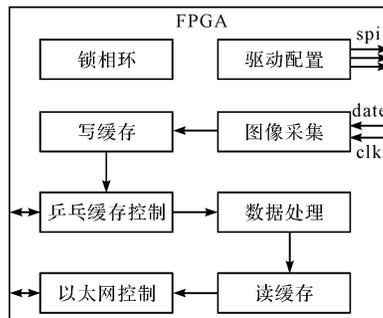


图 3 FPGA 结构框图

图 3 中, FPGA 为程序顶层模块, 内部由锁相环模块、驱动配置模块、数据缓存模块、数据处理模块和数据发送模块组成; 根据模块功能, 可划分为系统配置、采集与缓存和转换与发送 3 部分。

### 2.1 系统配置

系统所需要的时钟均由 FPGA 内部锁相环(PLL)产生, 包括 CCD 需要的 24.54 MHz、驱动配置模块需要的 4 MHz、缓存需要的 100 MHz 和以太网需要的 125 MHz。这些时钟由一个 50 MHz 时钟源驱动, 两个锁相环进行分频倍频得到, 有相位相关性; 同时, 经过时钟树分配到各个寄存器, 路径延时得到有效控制, 保证系统的稳定性。系统上电后, 锁相环正常工作产生时钟, 驱动配置模块通过 SPI 总线给外部 AD9923A 配置寄存器。

### 2.2 采集与缓存

系统给出同步触发命令, 开始采集, CCD 输出图像模拟信号, 经模数转换后数字信号和时钟被发送至 FPGA。图像采集模块根据 CCD 时序, 将有效信号保留下来, 产生有效信号标志位; 为了保证后面处理和发送速度, 缓存使用 100 MHz, 而图像时钟为 24.54 MHz; 为了保证数据不丢失, 设置一个 12 位宽, 512 深度的 FIFO 进行缓存。当 FIFO 满 128 个字的 SDRAM 突发长度时, SDRAM 读取 FIFO 内的数据缓存到 SDRAM 芯片; SDRAM 使用乒乓缓存技术, 设置两片存储区 bank0 与 bank1, 当 bank0 一幅图像存储完, 乒乓缓存控制模块控制转换存储区 bank1 进行存储, 同时存储区 bank0 允许读取。



图 4 采集与缓存结果

a - 行时序; b - 图像数据; c - 有效标志; d - fifo 数据量; e - 写请求; f - 写回复; g - 有效数据

图 4 中, *a* 为行时序, *b* 为灰度值, 前 659 个数据为有效数据。采集模块获取有效数据, 产生有效标志 *c*, 采集模块将有效数据发送至写缓存模块, 有效标志作为 FIFO 的写使能, 为高时将数据写入 FIFO 中, *d* 为 FIFO 数据量, 从位置 1 开始。当 FIFO 数据量大于 SDRAM 突发长 256 时, 发送写请求 *e* 给 SDRAM, 写请求在位置 2 有效, SDRAM 收到后给出写回复 *f* 作为 FIFO 读使能, 在位置 3 有效, 从 FIFO 中读取 256 个数据到 SDRAM 缓存, 直到一幅完成, *g* 为写入到 SDRAM 中的数据。图 4 中, *a* 为缓存时钟, *b* 为从外部 SDRAM 中读取到的 12 bit 灰度数据, 经过 2 个时钟得到温度数据 *d*, 灰度值经过 2 个时钟延迟与温度数据组合成 *e*, 增加 8 bit 无效值得到

### 2.3 转换与发送

测温装置标定之前, FPGA 只把图像数据经过以太网发送至上位机, 经过黑体炉标定与修正后即可得到温度与灰度的对应关系。为了增加系统速度, 笔者在 FPGA 中采用查表的方式得到温度。ADC 为 12 bit 分辨率, 测温范围在 800 °C ~ 1 200 °C, 温差为 400 °C, 系统设置了 12 bit 位宽、深度为 4 096 的存储单元存放温度数据; 其中, 高 9 位表示整数位, 满足 400 °C 温差范围, 低 3 位表示小数位, 分辨率可以达到 0.125 °C。

数据转换时, 12 bit 图像数据经过温度存储单元后得到 12 bit 温度数据, 因需要 2 个时钟的时延, 因此, 设置两级寄存器延迟以保证数据同步。以太网端口是 8 bit 位宽, 经过以太网控制模块发送的数据也是要转换为 8 bit, 通过一个异步 FIFO 实现, FIFO 的输入、输出端口位宽不同, Intel 的 FIFO 核只支持 32 bit 转 8 bit, 通过增加 8 bit 零来解决, 后续上位机再进行剔除。

## 3 实验与分析

实验中, 使用黑体炉来标定高温计参数, 标定后得到图像灰度与温度的映射关系, 将映射值制作成表, 下载到 FPGA 中。笔者在上位机上通过 Quartus 软件的 Signal tap 工具, 对实验过程中 FPGA 内部信号设置中间探针, 对中间信号进行观察分析。

### 3.1 采集与缓存

采集与缓存结果如图 4 所示。

*f*; 数据使能 *c* 经过同步后, 得到 FIFO 写请求信号 *g*, 将 32 bit 数据存入到 FIFO 中; *k* 为 FIFO 中数据量, 经 2 个时钟输出。当 *k* 小于突发长度 256 时, SDRAM 取出 256 个数据处理并存入 FIFO 中; *h* 为 125 MHz 的读时钟, *i* 为读请求信号, *j* 为读出的 8 bit 数据。

可以看出: 当读请求有效时, FIFO 由低到高以此输出 8 bit 数据, 完成 32 bit 转 8 bit 发送的要求。

### 3.2 数据处理

数据处理结果如图 5 所示。

### 3.3 寄存器时延分析

数据时延如表 1 所示。

表 1 数据时延

时延单元	时延时钟/clock	时延/ms
采集	0	0
缓存	350k	14
处理	2	0
发送	1 472	0.012
总时延		14

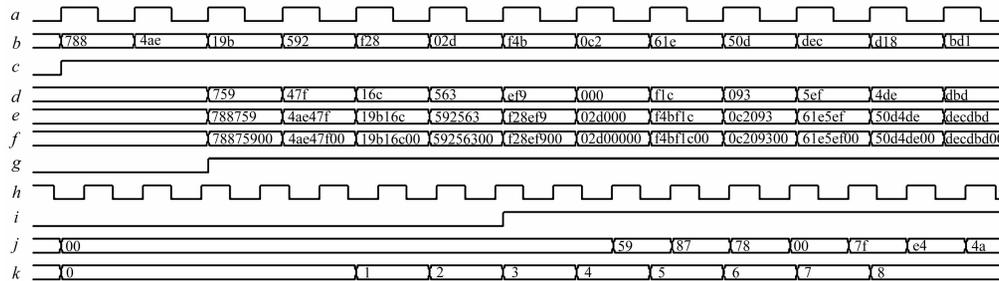


图 5 数据处理结果

a - 缓存时钟; b - 图像数据; c - 数据使能; d - 温度数据; e - 温度与灰度; f - fifo 输入; g - 写请求延  
时; h - 读时钟; i - 读请求; j - fifo 输出; k - fifo 数据量

### 4 结束语

笔者根据单光谱辐射测温理论,研究了基于 FPGA 和 CCD 测温系统的硬件设计,以 FPGA 为核心,采用黑体炉标定完直接查表的方法快速处理、传输温度数据;通过实验采样 FPGA 内部信号,对采集和缓存的灰度信息以及转换得到的温度信息进行分析,结果表明,系统处理传输速度可以达到 CCD 最高帧率;同时,计算了数据在 FPGA 内部的时钟延迟仅为 14 ms,满足实时性的要求。

该测温系统仅使用了一个 AD9923A 为 CCD 提供驱动,使用一个 FPGA 完成系统控制、数据处理传输等任务,集成度高、可靠性强,在复杂的温度测量现场有较高的实用价值。图像灰度与温度数据实时通过以太网发送至上位机,为上位机以高分辨率、高帧率稳定反馈温度信息提供了前提。

### 参考文献 (References):

[1] 张 磊,陈绍武,赵海川,等. 基于光电探测的多光谱测温装置[J]. 中国光学,2019,12(2):289-293.

[2] 王楠楠,师钰璋,王 高,等. 蓝宝石光纤高温测量技术进展[J]. 计测技术,2018,38(6):61-68.

[3] 王玉田,杨丽丽,鲁信琼. 瞬态高温测量系统[J]. 压电与

为了保证数据不丢失,笔者采用乒乓缓存,一帧缓存完才开始发送,缓存延时为一帧图像的时间,约 14 ms。处理模块 2 个时钟在 100 MHz 缓存时钟下可以忽略不计。

以太网发送时钟为 125 MHz,使用 UDP 协议以 1 472 字节包长发送数据,延迟只有约 0.012 ms。因此,总的时延约为 14 ms,可以达到较高的性能。

声光,2010,32(3):346-348,352.

[4] 杨永军,蔡 静,赵 俭. 航空发动机研制高温测量技术探讨[J]. 计测技术,2008(S1):46-48,51.

[5] 沈 鋈,陈志伟,刘左华. ASME 规范案例 2843 中高温分析方法的解读和讨论[J]. 压力容器,2018,35(12):50-58,71.

[6] 郝晓剑,张志杰,周汉昌. 高温测量及其校准技术研究现状与发展趋势[J]. 中北大学学报:自然科学版,2020,41(1):1-7.

[7] 吴加伦,陆庆忠,张惠福,等. 新型十字测温传感器在高炉上的应用[J]. 世界钢铁,2011,11(5):61-63.

[8] 刘小群,段旭朝,李中一. 基于单片机的 H62 银钎焊温度控制系统的设计[J]. 热加工工艺,2013,42(15):170-172,175.

[9] MERIAUDEAU F. Real time multispectral high temperature measurement: application to control in the industry[J]. **Image and Vision Computing**,2006,25(7):1124-1133.

[10] 杨友良,刘爱旭,马翠红,等. 基于红外 CCD 的钢水红外测温模型分析[J]. 激光技术,2018,42(4):562-566.

[11] 白海城,张育中,胡振伟,等. 铸坯表面温度场测量仪的研究[J]. 仪器仪表学报,2012,33(6):1392-1399.

[12] HUANG T W, LONG M J, CHEN D F, et al. Effect of hot water vapor on strand surface temperature measurement in steel continuous casting [J]. **International Journal of Thermal Sciences**,2019,138:467-479.

[编辑:冯黎雅]

### 本文引用格式:

王 乐,董 哲,张 磊. 基于 FPGA 和 CCD 的高温计硬件系统设计[J]. 机电工程,2020,37(10):1240-1243.  
WANG Le, DONG Zhe, ZHANG Lei. Hardware system design of pyrometer based on FPGA and CCD[J]. Journal of Mechanical & Electrical Engineering, 2020,37(10):1240-1243.  
《机电工程》杂志: <http://www.meem.com.cn>